

**Family list**5 application(s) for: **JP2004333594 (A)**

Sorting criteria: Priority Date Inventor Applicant Eda

**1 Display device**

**Inventor:** TETSUO YAMASHITA JUNICHI UCHINO **Applicant:** SONY CORP [JP]  
[JP]  
**EC:** G09G3/32A14C; G09G3/32A8C **IPC:** G09G3/00; G09G3/20; G09G3/30; (+15)  
**Publication:** CN1542722 (A) - 2004-11-03 **Priority Date:** 2003-04-30  
**info:** CN100342417 (C) - 2007-10-10

**2 DISPLAY DEVICE**

**Inventor:** YAMASHITA JUNICHI ; UCHINO **Applicant:** SONY CORP  
KATSUHIDE (+1)  
**EC:** G09G3/32A14C; G09G3/32A8C **IPC:** G09G3/00; G09G3/20; G09G3/30; (+16)  
**Publication:** JP2004333594 (A) - 2004-11-25 **Priority Date:** 2003-04-30  
**info:** JP4049010 (B2) - 2008-02-20

**DISPLAY DEVICE, ESPECIALLY MAINTAINING A DRAIN****POTENTIAL OF AN OUTPUT TRANSISTOR FUNCTIONING AS  
A CONSTANT CURRENT SOURCE CONSTANT EVEN IN A  
SAMPLING PERIOD OF ANOTHER CIRCUIT**

**Inventor:** YAMASHITA JUNICHI ; UCHINO **Applicant:** SONY CORP  
KATSUHIDE (+1)  
**EC:** G09G3/32A14C; G09G3/32A8C **IPC:** G09G3/00; G09G3/20; G09G3/30; (+14)  
**Publication:** KR20040094318 (A) - 2004-11-09 **Priority Date:** 2003-04-30  
**info:**

**4 Display device**

**Inventor:** YAMASHITA JUNICHI [JP] ; UCHINO **Applicant:** SONY CORP [JP]  
KATSUHIDE [JP] (+1)  
**EC:** G09G3/32A14C; G09G3/32A8C **IPC:** G09G3/00; G09G3/20; G09G3/30; (+15)  
**Publication:** TW235979 (B) - 2005-07-11 **Priority Date:** 2003-04-30  
**info:**

**5 Display device**

**Inventor:** YAMASHITA JUNICHI [JP] ; UCHINO **Applicant:** SONY CORP [JP]  
KATSUHIDE [JP] (+1)  
**EC:** G09G3/32A14C; G09G3/32A8C **IPC:** G09G3/00; G09G3/20; G09G3/30; (+14)  
**Publication:** US2004263501 (A1) - 2004-12-30 **Priority Date:** 2003-04-30  
**info:** US7242376 (B2) - 2007-07-10

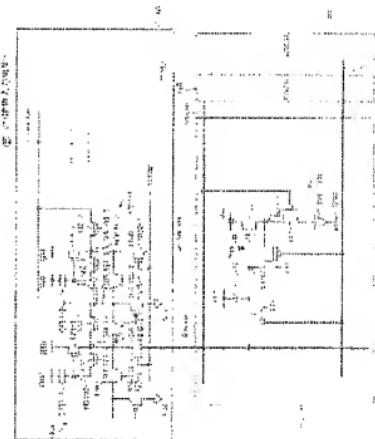
Data supplied from the **espacenet** database — Worldwide

## DISPLAY DEVICE

Patent number: JP2004333594 (A) Also published as:  
Publication date: 2004-11-25  JP4049010 (B2)  
Inventor(s): YAMASHITA JUNICHI; UCHINO KATSUHIDE; YAMAMOTO  US2004263501 (A1)  
TETSUO +  US7242376 (B2)  
Applicant(s): SONY CORP +  TW235979 (B)  
Classification:  KR20040094318 (A)  
- international: G09G3/00; G09G3/20; G09G3/30; G09G3/32; G09G5/00;  
H01L51/50; H05B33/00; H05B33/14; G09G3/00; G09G3/20;  
G09G3/30; G09G3/32; G09G5/00; H01L51/50; H05B33/00;  
H05B33/14; (IPC1-7): G09G3/20; G09G3/30; H05B33/14  
more >>  
- european: G09G3/32A14C; G09G3/32A8C  
Application number: JP20030125979 20030430  
Priority number(s): JP20030125979 20030430

### Abstract of JP 2004333594 (A)

PROBLEM TO BE SOLVED: To provide a display device capable of maintaining a drain voltage of an output transistor which functions as a constant current source even during a sampling term of other circuits constant, suppressing the change due to gate voltage leakage of the output transistor, obtaining a uniform current source without current value variations of the output step and displaying high quality picture producing no uneven luminance toward the scan end part. ; SOLUTION: A current sample-and-hold circuit 1031-1 in which, for example, the sample-and-hold is completed actuates a leakage eliminating circuit and allows a constant current corresponding to the current sampled by a TFT 125-1 to flow through a node ND121-1, in a term when the sample-and-hold of own stage is completed and the sample-and-hold of another stage is operated. ; COPYRIGHT: (C) 2005,JPO&NCIPI



(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号

特開2004-333594

(P2004-333594A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int.Cl.<sup>7</sup>

F1	テーマコード(参考)	
G09G	3/30	J 3K007
G09G	3/30	K 5C080
G09G	3/20	611J
G09G	3/20	623L
G09G	3/20	623R

審査請求 未請求 請求項の数 4 0.1 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-125979 (P2003-125979)  
(22) 出願日 平成15年4月30日 (2003.4.30)

(71) 出願人 000002185  
ソニー株式会社

(74) 代理人 100094053

井理士 佐藤 陸人

(12) 先期看  
田下 浩一  
東京都品川区北品川6丁目7番35号 ソ  
ニヤ株式会社内

(72) 路明孝・内野・路香

（12）光明者 内野 一九六  
東京都品川区北品川6丁目7番35号 ノ  
ニ一株式会社

(72) 発明者 山本 哲郎

二一株式会社内

最終頁に統く

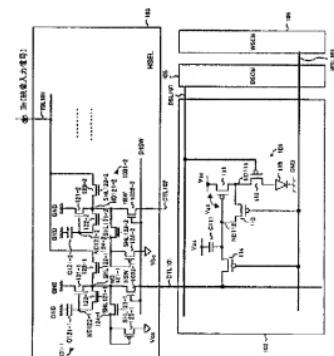
(54) 【発明の名称】 表示装置

(57) [要約]

【課題】他の回路のサンプリング期間も、定電流源として機能する出力トランジスタのドレイン電位を一定に保つことができ、出力トランジスタのゲート電位のリードによる変化を抑えることができ可能で、出力段の電流値バラツキのない、均一な電流値を得ることができ、スキャン終了部に向かって傾度むらが発生しない高品位な画像を表示することが可能な表示装置を提供する。

【解決手段】自段のサンブルホールドが終了し、他段がサンブルホールドを行っている期間に、たとえばサンブルホールドが終了した電流サンブルホールド回路1031-1は、リーカ除去回路を作動させてTFT1251-1によりはサンプリングされた電流I<sub>in</sub>に相当する定電流をノードND1211-1に流すように構成する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項1】

映像信号が信号電流として供給される表示装置であって、  
マトリクス状に複数配列された画素回路と、  
上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた信号電流が供給されるデータ線と、

上記データ線に対応して設けられ、入力映像信号電流をサンプルホールドする複数のサンプルホールド回路を有し、各サンプルホールド回路を順次動作させて、全てのサンプルホールド回路に映像信号を点順次にサンプルホールドさせ、上記複数のサンプルホールド回路にサンプルホールドされた電流値を対応するデータ線に出力させる水平セレクタと、を有し、

上記各サンプルホールド回路は、

ソースが所定電位に接続された電界効果トランジスタと、

上記電界効果トランジスタのドレインとゲートとの間に接続された第1のスイッチと、  
上記電界効果トランジスタのドレインと上記信号電流の供給線との間に接続された第2のスイッチと、

上記電界効果トランジスタのゲートと所定電位との間に接続されたキャパシタと、  
サンプルホールド動作が終了し、他のサンプルホールド回路がサンプルホールド動作を行っている間に、サンプリングされた信号電流に相当する電流を上記電界効果トランジスタのドレインに供給するリーク除去回路と、を有する

10

20

表示装置。

## 【請求項2】

上記リーク除去回路は、所定電位と上記電界効果トランジスタのドレインとの間に接続されたダイオード接続されたトランジスタと第3のスイッチが直列に接続されている  
請求項1記載の表示装置。

## 【請求項3】

映像信号が信号電流として供給される表示装置であって、

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた信号電流が供給されるデータ線と、

30

上記データ線に対応して設けられ、入力映像信号電流をサンプルホールドする複数のサンプルホールド回路を有し、各サンプルホールド回路を順次動作させて、全てのサンプルホールド回路に映像信号を点順次にサンプルホールドさせ、上記複数のサンプルホールド回路にサンプルホールドされた電流値を対応するデータ線に出力させる水平セレクタと、を有し、

上記各サンプルホールド回路は、

ソースが所定電位に接続された第1の電界効果トランジスタと、

ソースが上記第1の電界効果トランジスタのドレインに接続された第2の電界効果トランジスタと、

上記第2の電界効果トランジスタのドレインとゲートとの間に接続された第1のスイッチと、

40

上記第2の電界効果トランジスタのドレインと上記信号電流の供給線との間に接続された第2のスイッチと、

上記第1の電界効果トランジスタのドレインとゲートとの間に接続された第3のスイッチと、

上記第1の電界効果トランジスタのゲートと所定電位との間に接続された第1のキャパシタと、

上記第2の電界効果トランジスタのゲートと所定電位との間に接続された第2のキャパシタと、

サンプルホールド動作が終了し、他のサンプルホールド回路がサンプルホールド動作を行

50

っている間に、サンプリングされた信号電流に相当する電流を上記第2の電界効果トランジスタのドレインに供給するリーク除去回路と、を有する表示装置。

【請求項4】

上記リーク除去回路は、所定電位と上記第2の電界効果トランジスタのドレインとの間に接続されたダイオード接続されたトランジスタと第4のスイッチが直列に接続されている請求項3記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL（Electroluminescence）ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置に関するものである。

【0002】

【從来の技術】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報を応じて画素毎に光強度を制御することによって画像を表示する。これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。

このため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT（Thin Film Transistor、薄膜トランジスタ）によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0004】

図9は、電流駆動方式を採用した有機EL表示装置の構成を示すブロック図である。この表示装置1は、図9に示すように、画素回路（PXL C）2aがm×nのマトリクス状に配列された画素アレイ部2、水平セレクタ（HSEL）3、ライトスキャナ（WSC N）4、ドライブスキャナ（DSC N）5、水平セレクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線D TL 1～D TL n、ライトスキャナ4により選択駆動される走査線W SL 1～W SL m、およびドライブスキャナ5により選択駆動される駆動線D SL 1～D SL m、を有する。

【0005】

図10は、図9の画素回路2aの一構成例を示す回路図である。

【0006】

図10の画素回路2aは、pチャネル薄膜電界効果トランジスタ（以下、TFTという）11～TFT14、キャパシタC11、発光素子である有機EL素子（OLED）15を有する。また、図10において、D TL 1は入力信号が電流として伝播されるデータ線を示している。

有機EL素子は多くの場合整流性があるため、Organic Light Emitting Diodeと呼ばれることがあり、図10その他では発光素子とし

10

20

30

40

50

てダイオードの記号を用いているが、以下の説明において O L E D には必ずしも整流性を要求するものではない。

図 10 では T F T 1 1 のソースが電源電位 V C C (電源電圧 V C C の供給ライン) に接続され、発光素子 1 5 のカソード (陰極) は接地電位 G N D に接続されている。図 10 の画素回路 2 a の動作は以下の通りである。

【0007】

入力信号 (電流信号) S 1 の書き込み時には、T F T 1 2 を非導通に保持した状態で、T F T 1 3, T F T 1 4 を導通状態に保持する。

これにより、駆動 (ドライブ) トランジスタである T F T 1 1 に信号電流に応じた電流が流れる。

このとき、T F T 1 1 のゲートとドレインは導通状態にある T F T 1 3 により電気的に接続されており、T F T 1 1 は飽和領域にて駆動している。

よって、下記式 1 に基づいて入力電流に相当するゲート電圧が書き込まれ、画素容量であるキャパシタ C 1 1 に保持される。

その後、T F T 1 4 を非導通状態に保持して、T F T 1 2 を導通状態に保持する。

これにより、入力信号電流に応じた電流が T F T 1 2 と発光素子 1 5 に流れ、発光素子 1 5 はその電流値に応じた輝度で発光する。

上記のように、T F T 1 4 を導通させてデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

【0008】

この画素回路 2 a では、ドライブトランジスタ 1 1 のしきい値 V t h や移動度  $\mu$  のパラメータが補正される。

【0009】

【数 1】

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【0010】

ここで、 $\mu$  はキャリアの移動度を、 $C_{ox}$  は単位面積当たりのゲート容量を、 $W$  はゲート幅を、 $L$  はゲート長を、 $V_{gs}$  は T F T 1 1 のゲート・ソース間電圧を、 $V_{th}$  は T F T 1 1 のしきい値  $V_{th}$  をそれぞれ示している。

【0011】

この方式では、映像信号が電流値 I in としてパネルの水平セレクタ 3 に入力される。入力された電流信号は、水平セレクタ 3 にてサンプルホールドされ、全段がサンプルホールドされた後に、同時に画素が接続されたデータ線 D T L に電流値が送出される。

【0012】

図 11 は、水平セレクタ 3 の要部の構成を示す回路図である。

水平セレクタ 3 は、図 11 に示すように、画素回路のマトリクス配列に対して列毎に配線され、輝度情報を応じたデータ信号が供給されるデータ線 D T L 1, D T L 2, ~, D T L n に対応して設けられた、電流サンプルホールド回路 3 1-1, 3 1-2, ~, 3 1-n と、n チャネル T F T からなる水平スイッチ (H S W) 3 2-1, 3 2-2, ~, 3 2-n を有している。

【0013】

電流サンプルホールド回路 3 1-1 は、図 11 に示すように、T F T 3 3-1, T F T 3 4-1, T F T 3 5-1、キャパシタ C 3 1-1、およびノード N D 3 1-1, N D 3 2-1 を有している。

同様に、電流サンプルホールド回路 3 1-1 は、図 11 に示すように、T F T 3 3-2, T F T 3 4-2, T F T 3 5-2、キャパシタ C 3 1-2、およびノード N D 3 1-2, N D 3 2-2 を有している。

そして、図示しないが、電流サンプルホールド回路 3 1-n は、T F T 3 3-n, T F T 3 4-n, T F T 3 5-n、キャパシタ C 3 1-n、およびノード N D 3 1-n, N D 3 2-n を有している。

10

20

30

40

50

## 【0014】

この水平セレクタ3のサンプルホールド動作を、図12(A)～(M)に関連付けて説明する。

なお、図12(A)のSHSWは水平スイッチの切換信号を示している。また、図12(H)は第1列目のTFT33-1のドレイン電位Vd331を、図12(I)は第2列目のTFT33-2のドレイン電位Vd332を、図12(J)は第n列目のTFT33-nのドレイン電位Vd33nを、図12(K)は第1列目のキャパシタC11-1の電位VC111を、図12(L)は第2列目のキャパシタC11-2の電位VC112を、図12(M)は第n列目のキャパシタC11-nの電位VC11nを、それぞれ示している。

## 【0015】

図12(A)に示すように、切換信号SHSWを低レベルとして全水平スイッチH SWをオフさせた状態で、図12(B)、(C)に示すように、第1列目の電流サンプルホールド回路31-1のTFT34-1、35-1が接続されたサンプルホールド線SHL31-1、32-1を高レベルとして、TFT34-1、35-1を導通状態とする(オンさせる)。

このとき、入力信号電流Iinが電流サンプルホールド回路31-1内に流れる。このとき、TFT33-1は、TFT34-1を介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は上記式1に基づいて決定され、図12(K)に示すように、キャパシタC31-1に保持される。

所定のゲート電圧がキャパシタC31-1に書き込まれた後に、サンプルホールド線SHL31-1を低レベルとしてTFT34-1を非導通状態とし、その後にサンプルホールド線SHL32-1を低レベルとしてTFT35-1を非導通状態とする。

## 【0016】

次に、同様に、図12(D)、(E)に示すように、第2列目の電流サンプルホールド回路31-2のTFT34-2、35-2が接続されたサンプルホールド線SHL31-2、32-2を高レベルとして、TFT34-2、35-2を導通状態とする(オンさせる)。

このとき、入力信号電流Iinが電流サンプルホールド回路31-2内に流れる。このとき、TFT33-2は、TFT34-2を介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は上記式1に基づいて決定され、図12(L)に示すように、キャパシタC31-2に保持される。

所定のゲート電圧がキャパシタC31-2に書き込まれた後に、サンプルホールド線SHL31-2を低レベルとしてTFT34-2を非導通状態とし、その後にサンプルホールド線SHL32-2を低レベルとしてTFT35-2を非導通状態とする。

以下、隣接サンプルホールド回路が順次動作してゆき、全ての回路に映像信号Iinが点順次にサンプルホールドされる。

その後、図12(A)に示すように、水平スイッチH SWが全段同時にオンされ、TFT33-1～TFT33-nが定電流源として機能し、図13に示すように、サンプルホールドされた電流値が各データ線DTL1～DTLnに出力される。

## 【0017】

## 【発明が解決しようとする課題】

しかしながら、上述した水平セレクタ3においては、定電流源として機能するTFT33(-1～-n)のドレイン電位、特に、サンプルホールド動作が先に行われるTFT33のドレイン電位が降下し、一定に保持することができないという不利益があるこの課題についてさらに詳細に説明する。

## 【0018】

ここで、第1列目の電流サンプルホールド回路31-1のサンプルホールド時の各ノードの電位を調べる。

電流サンプルホールド回路31-1では、図14(A)に示すように、TFT35-1が 50

10

20

30

40

非導通状態に保持されて入力電流  $I_{in}$  がサンプルホールドされる。この期間中、TFT 33-1はオンし続けているために、TFT 33-1のドレイン電位（ND31-1の電位）は供給源がなくなり、接地電位 GND レベルまで下降してしまう。このとき TFT 34-1 に注目する。TFT 34-1 はオフしており、キャパシタ C31-1 には電流  $I_{in}$  に相当するゲート電位が保持されている。

[ 0 0 1 0 ]

しかしながら、ノードND31-1の電位が接地電位GNDレベルまで落ちることで、TFT34-1には、図14(B)に示すように、ドレイン・ソース間電圧Vdsが印加されてしまい、TFT34-1にはリーク電流が流れる。このリーク電流がキャパシタC31-1から流れ出すことで、TFT33-1のゲート電圧は減少してしまう。これにより、TFT33-1のゲート・ソース間電圧Vgsはサンプルホールド時よりも減少してしまい、その後水平スイッチHSWがオンして飽和領域になったとしても、電流Iinより小さい電流値しか流れなくなってしまう。このリーク量はリーク時間に比例する。

[ 0 0 2 0 ]

サンプルホールド回路は前述したように点順次にて動作するので、スキャン開始部とスキャン終了部とでは、各容量にゲート電位が保持されている時間が異なる。すなわち、図12 (K) ～ (L) に示すように、スキャン開始部では終了部に比べて保持時間が長くなる。

そのため、スキャン開始部ではリーク時間も長くなり、ゲート電圧降下量がスキャン終了部に比べて大きくなる。つまり、画面全体に単色のラスター表示をしたとしても、図15に示すように、スキャン終了部に向かって輝度がグラデーションしてしまう。

特に、有機EL等を駆動する TFT ではリーク電流が高いために、この問題は顕著に現れる。

[0 0 2 1]

この問題点は有機ELに関わらず、電流のサンプルを行う場面ではどんな時も問題となる

たとえば、電流を点順次にてサンプリングし、一括で出力する場合には同様の理由でサンプリング開始部と終了部とで出力の電流値が異なってしまう。

[00331]

本発明は、かかる事情に鑑みてなされたものであり、その目的は、他の回路のサンプリング期間も、定電流源として機能する出力トランジスタのドレイン電位を一定に保つことができ、出力トランジスタのゲート電位のリークによる変化を抑えることが可能で、出力段の電流値バラツキのない、均一な電流源を得ることができ、スキャン終了部に向かって輝度むらが発生しない高品位な画像を表示することが可能な表示装置を提供することにある。

[ 0 0 2 3 ]

### 【課題を解決するための手段】

ンジスタのドレインに供給するリーク除去回路と、を有する。

【0024】

好適には、上記リーク除去回路は、所定電位と上記電界効果トランジスタのドレインとの間に接続されたダイオード接続されたトランジスタと第3のスイッチが直列に接続されている。

【0025】

好適には、映像信号が信号電流として供給される表示装置であって、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた信号電流が供給されるデータ線と、上記データ線に対応して設けられ、入力映像信号電流をサンプルホールドする複数のサンプルホールド回路を有し、各サンプルホールド回路を順次動作させて、全てのサンプルホールド回路に映像信号を点順次にサンプルホールドさせ、上記複数のサンプルホールド回路にサンプルホールドされた電流値を対応するデータ線に出力させる水平セレクタと、を有し、上記各サンプルホールド回路は、ソースが所定電位に接続された第1の電界効果トランジスタと、ソースが上記第1の電界効果トランジスタのドレインに接続された第2の電界効果トランジスタと、上記第2の電界効果トランジスタのドレインとゲートとの間に接続された第1のスイッチと、上記第2の電界効果トランジスタのドレインと上記信号電流の供給線との間に接続された第2のスイッチと、上記第1の電界効果トランジスタのドレインとゲートとの間に接続された第3のスイッチと、上記第1の電界効果トランジスタのゲートと所定電位との間に接続された第1のキャバシタと、上記第2の電界効果トランジスタのゲートと所定電位との間に接続された第2のキャバシタと、サンプルホールド動作が終了し、他のサンプルホールド回路がサンプルホールド動作を行っている間に、サンプリングされた信号電流に相当する電流を上記第2の電界効果トランジスタのドレインに供給するリーク除去回路と、を有する。

【0026】

好適には、上記リーク除去回路は、所定電位と上記第2の電界効果トランジスタのドレインとの間に接続されたダイオード接続されたトランジスタと第4のスイッチが直列に接続されている。

【0027】

本発明によれば、たとえば第1列目のサンプルホールド回路の第1および第2のスイッチを導通状態とする（オンさせる）。

このとき、入力信号電流がサンプルホールド回路内に流れる。このとき、電界効果トランジスタは、第1のスイッチを介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は上記式1に基づいて決定され、キャバシタに保持される。

所定のゲート電圧がキャバシタに書き込まれた後に、たとえば第1のスイッチを非導通状態とし、その後に第2のスイッチを非導通状態とする。

次に、同様に、第2列目のサンプルホールド回路の第1および第2のスイッチを導通状態とする（オンさせる）。

このとき、入力信号電流が第2列目のサンプルホールド回路内に流れる。このとき、電界効果トランジスタは、第1のスイッチを介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は上記式1に基づいて決定され、キャバシタに保持される。

所定のゲート電圧がキャバシタに書き込まれた後に、たとえば第1のスイッチを非導通状態とし、その後に第2のスイッチを非導通状態とする。

【0028】

以下、隣接サンプルホールド回路が順次動作してゆき、全ての回路に映像信号が点順次にサンプルホールドされる。

そして、自段のサンプルホールドが終了し、他段がサンプルホールドを行っている間に、たとえばサンプルホールドが終了したサンプルホールド回路は、第3のスイッチを導通状態とする。

すると、ダイオード接続されているトランジスタは、電界効果トランジスタを含む定電流

10

20

30

40

50

源に従った電流  $I_{in}$  が流れる。ここでは定電流源には入力電流がサンプルホールドされているので、ダイオード接続されているトランジスタと、定電流源を構成する電界効果トランジスタには電流  $I_{in}$  が流れる。

このとき、ダイオード接続されたトランジスタにはサンプリングされた電流  $I_{in}$  に相当する定電流が流れる。トランジスタは飽和領域にて動作するので、このトランジスタのゲート電圧（ドレイン電圧）は式 1 に基づき動作点が決定される。このゲート電位は電界効果トランジスタのドレイン電位と等しくなる。

ここで、電界効果トランジスタのドレイン電位が電界効果トランジスタのゲート電圧になるべく等しくなるようにダイオード接続されたトランジスタサイズの設計を行うことで、第 1 のスイッチを構成するたとえばトランジスタのソースとドレインの電圧差を抑制することができる。

以上より、電流の点順次サンプリングにおいても、スキャン開始と終了部ブロックとでリーケ量を殆ど変わらなくでき、均一な出力電流を得ることができる（）。

その後、全サンプルホールド回路の電界効果トランジスタが定電流源として機能し、サンプルホールドされた電流値が各データ線に並列的に出力される。

これにより、スキャン終了部に向かって輝度むらが発生しない高品位な画像を表示することができる。

#### 【0029】

##### 【発明の実施の形態】

以下、本発明の実施形態を添付図面に開示付けて説明する。

#### 【0030】

##### 第1実施形態

図 1 は、本第 1 の実施形態に係る電流駆動方式を採用した有機 EL 表示装置の構成例を示すブロック図である。

図 2 は、図 1 の有機 EL 表示装置において本実施形態に係る画素回路および水平セレクタの具体的構成を示す回路図である。

#### 【0031】

この表示装置 100 は、図 1 および図 2 に示すように、画素回路（P X L C）101 が  $m \times n$  のマトリクス状に配列された画素アレイ部 102、水平セレクタ（H S E L）103、ライトスキャナ（W S C N）104、ドライブスキャナ（D S C N）105、水平セレクタ 103 により選択され輝度情報に応じたデータ信号が電流信号として順次に供給されるデータ線 D T L 101 ～ D T L 10n、ライトスキャナ 104 により選択駆動される走査線 W S L 101 ～ W S L 10m、およびドライブスキャナ 105 により選択駆動される駆動線 D S L 101 ～ D S L 10m を有する。

#### 【0032】

なお、画素アレイ部 102 において、画素回路 101 は  $m \times n$  のマトリクス状に配列されるが、図 1 においては図面の簡略化のために  $2 \times 3$  のマトリクス状に配列した例を示している。

また、図 2 においては図面に簡略化のために、水平セレクタ 103 は、第 1 列と第 2 列目の電流サンプルホールド回路と水平スイッチ H S W のみを記載しているが第  $n$  列目まで同様の構成を有する電流サンプルホールド回路が各 D T L 101 ～ D T L 10n に対応して配置される。

また、図 2 においても、図面の簡略化のために一つの画素回路の具体的な構成を示している。

#### 【0033】

本第 1 の実施形態に係る画素回路 101 は、図 2 に示すように、p チャネル T F T 111 ～ T F T 114、キャバシタ C 111、有機 E L 素子（O E L E D：電気光学素子）、からなる発光素子 115、第 1 のノード N D 111、および第 2 のノード N D 112 を有する。

また、図 2 において、D T L 101 はデータ線を、W S L 101 は走査線を、D S L 101 は駆動線、S H L サンプルホールド線をそれぞれ示している。

## 【0034】

画素回路101において、電源電位VCCと接地電位GNDとの間にTFT111、第1のノードND111、TFT112、および発光素子115が直列に接続されている。具体的には、ドライブトランジスタとしてのTFT111のソースが電源電圧VCCの供給ラインに接続され、ドレインが第1のノードND111に接続されている。TFT112のソースが第1のノードND111に接続され、ドレインが発光素子115のアノードに接続され、発光素子115のカソードが接地電位GNDに接続されている。そして、TFT111のゲートが第2のノードND112に接続され、TFT112のゲートが第2の制御線としての駆動線DSL101に接続されている。

第1のノードND111と第2のノードND112とに、TFT113ソース・ドレインが接続され、TFT113のゲートが走査線WSL101に接続されている。

キャパシタC111の第1電極が第2のノードND112に接続され、第2電極が電源電位VCCに接続されている。

データ線DTL101と第2のノードND112とにTFT114のソース・ドレインが接続され、TFT114のゲートが走査線WSL101に接続されている。

## 【0035】

水平セレクタ103は、図2に示すように、画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線DTL101、DTL012、～、DTL10nに対応して設けられた、電流サンプルホールド回路1031-1、1031-2、～、1031-nと、nチャネルTFTからなる水平スイッチ(HSW)1032-1、1032-2、～、1032-nを有している。

## 【0036】

電流サンプルホールド回路31-1は、図2に示すように、nチャネルTFT121-1～TFT124-1、pチャネルTFT125-1、キャパシタC121-1、およびノードND121-1、ND122-1を有している。

## 【0037】

電流サンプルホールド回路1031-2は、図2に示すように、nチャネルTFT121-2～TFT124-2、pチャネルTFT125-2、キャパシタC121-2、およびノードND121-2、ND122-2を有している。

そして、図示しないが、電流サンプルホールド回路1031-nは、nチャネルTFT121-n～TFT124-n、pチャネルTFT125-n、キャパシタC121-n、およびノードND121-n、ND122-nを有している。

TFT121(-1～-n)が本発明に係る電界効果トランジスタを構成し、TFT122(-1～-n)が第1のスイッチを構成し、TFT123(-1～-n)が第2のスイッチを構成し、TFT124(-1～-n)が第3のスイッチを構成し、TFT125(-1～-n)がダイオード接続されたトランジスタを構成する。

## 【0038】

電流サンプルホールド回路1031-1において、TFT121-1のソースが接地電位GNDに接続され、ドレインがノードND121-1に接続され、ゲートがノードND122-1に接続されている。ノードND121-1とノードND122-1とにTFT122-1のソース・ドレインがそれぞれ接続されている。TFT122-1のゲートがサンプルホールド線SHL121-1に接続されている。

キャパシタC121-1の第1電極がノードND122-1に接続され、第2電極が接地電位GNDに接続されている。

ノードND121-1と入力電流信号の供給線ISL101とにTFT123のソース・ドレインがそれぞれ接続されている。TFT123のゲートがサンプルホールド線SHL122-1に接続されている。

また、TFT125のソースが電源電圧VCCの供給ラインに接続され、TFT125のゲートとドレイン同士が接続されている。すなわち、TFT125はダイオード接続されている。

10

20

30

40

50

そして、TFT125のゲートとドレインの接続点とノードND121とにTFT124のソース・ドレインがそれぞれ接続され、TFT124のゲートがサンプルホールド線SHL123-1に接続されている。

また、ノードND121が水平スイッチ1032-1に接続されている。

【0039】

そして、TFT124とTFT125により本発明に係るリーケ除去回路が構成されている。

【0040】

なお、他の電流サンプルホールド回路1031-2～1031-nの接続形態は、上述した電流サンプルホールド回路1031-1と同様に行われることから、ここではその詳細は省略する。

【0041】

次に、上記構成の動作を、水平セレクタの動作を中心に、図3(A)～(O)に関連付けて説明する。

【0042】

なお、図3(A)のSHSWは水平スイッチの切換信号を示している。また、図3(J)は第1列目のTFT121-1のドレイン電位Vd1211を、図3(K)は第2列目のTFT121-2のドレイン電位Vd1212を、図3(L)は第n列目のTFT121-nのドレイン電位Vd121nを、図3(M)は第1列目のキャバシタC11-1の電位VC1211を、図3(N)は第2列目のキャバシタC11-2の電位VC1212を、図3(O)は第n列目のキャバシタC11-nの電位VC121nを、それぞれ示している。

【0043】

図3(A)に示すように、切換信号SHSWを低レベルとして全水平スイッチH\_SWをオフさせた状態で、図3(B)、(C)に示すように、第1列目の電流サンプルホールド回路1031-1のTFT122-1、123-1が接続されたサンプルホールド線SHL121-1、122-1を高レベルとして、TFT122-1、123-1を導通状態とする(オンさせる)。

このとき、入力信号電流Iinが電流サンプルホールド回路1031-1内に流れる。このとき、TFT121-1は、TFT122-1を介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は上記式1に基づいて決定され、図3(M)に示すように、キャバシタC121-1に保持される。

所定のゲート電圧がキャバシタC121-1に書き込まれた後に、サンプルホールド線SHL121-1を低レベルとしてTFT122-1を非導通状態とし、その後にサンプルホールド線SHL122-1を低レベルとしてTFT123-1を非導通状態とする。

【0044】

次に、同様に、図3(D)、(E)に示すように、第2列目の電流サンプルホールド回路1031-2のTFT122-2、123-2が接続されたサンプルホールド線SHL121-2、122-2を高レベルとして、TFT122-2、123-2を導通状態とする(オンさせる)。

このとき、入力信号電流Iinが電流サンプルホールド回路1031-2内に流れる。このとき、TFT121-2は、TFT122-2を介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は上記式1に基づいて決定され、図3(N)に示すように、キャバシタC121-2に保持される。

所定のゲート電圧がキャバシタC121-2に書き込まれた後に、サンプルホールド線SHL121-2を低レベルとしてTFT122-2を非導通状態とし、その後にサンプルホールド線SHL122-2を低レベルとしてTFT123-2を非導通状態とする。

【0045】

以下、隣接サンプルホールド回路が順次動作してゆき、全ての回路に映像信号Iinが点順次にサンプルホールドされる。

## 【0046】

本実施形態では、自段のサンプルホールドが終了し、他段がサンプルホールドを行っている期間に、たとえばサンプルホールドが終了した電流サンプルホールド回路1031-1は、図3(H)に示すように、サンプルホールド線SHL123-1を高レベルとしてTFT124を導通状態とする。

すると、TFT125-1は、ゲートとドレインが接続されているので、定電流源TFT121-1に従った電流が流れる。ここでは定電流源TFT121-1には入力電流Iinがサンプルホールドされているので、TFT125-1とTFT121-1には電流Iinが流れる。

## 【0047】

このときの、TFT121-1のドレン電圧であるノードND121の電位について考察する。

上述したように、TFT125-1にはサンプリングされた電流Iinに相当する定電流が流れる。TFT125-1は飽和領域にて動作するので、TFT125-1のゲート電圧(ドレン電圧)は式1に基づき動作点が決定される。このゲート電位はノードND121の電位と等しくなる。

ここで、ノードND121の電位がTFT121-1のゲート電圧になるべく等しくなるようにTFT125-1のサイズ設計を行う(ただしTFT121-1は飽和領域で駆動する)ことで、TFT122-1のソースとドレンの電圧差を抑制することができる。この電圧差が少なければ、TFT122-2-1のリーカー量は大幅に抑制することができ、図3(M)～(O)に示すように、リーカーによるTFT121-1のゲート電圧の降下を抑えられる。

以上より、電流の点順次サンプリングにおいても、スキャン開始と終了部ブロックとでリーカー量の殆ど変わらなくでき、均一な出力電流を得ることができる。

その後、図3(A)に示すように、水平スイッチH SWが全段同時にオンされ、TFT121-1～TFT121-nが定電流源として機能し、サンプルホールドされた電流値が各データ線DTL101～DTL10nに出力される。

これにより、図4に示すように、スキャン終了部に向かって輝度むらが発生しない高品位な画像を表示することが可能となる。

## 【0048】

また、画素回路101において、入力信号(電流信号)SIの書き込み時には、駆動線DSL101を高レベルとしてTFT112を非導通に保持した状態で、走査線WSL101を低レベルとしてTFT113, TFT114を導通状態に保持する。

これにより、ドライブトランジスタであるTFT111に信号電流に応じた電流が流れる。

このとき、TFT111のゲートとドレインは導通状態にあるTFT113により電気的に接続されており、TFT111は飽和領域にて駆動している。

よって、上記式1に基づいて入力電流に相当するゲート電圧が書き込まれ、画素容量であるキャパシタC111に保持される。

その後、TFT114を非導通状態に保持して、TFT112を導通状態に保持する。

これにより、入力信号電流に応じた電流がTFT112と発光素子115に流れ、発光素子115はその電流値に応じた輝度で発光する。

## 【0049】

本第1の実施形態によれば、自段のサンプルホールドが終了し、他段がサンプルホールドを行っている期間に、たとえばサンプルホールドが終了した電流サンプルホールド回路1031-1は、リーカー除去回路を作動させてTFT125-1によりサンプリングされた電流Iinに相当する定電流をノードND121-1に流すように構成したことから、他の回路のサンプリング期間も、定電流源として機能する出力トランジスタTFT121のドレン電位を一定に保つことができ、出力トランジスタのゲート電位のリーカーによる変化を抑えることが可能となる。

10

20

30

40

50

その結果、出力段の電流値バラツキのない、均一な電流源を得ることができ、スキャン終了部に向かって輝度むらが発生しない高品位な画像を表示することができる。

【0050】

## 第2実施形態

図5は、本第2の実施形態に係る電流駆動方式を採用した有機EL表示装置の構成例を示すブロック図である。

【0051】

本第2の実施形態が上述した第1の実施形態と異なる点は、TFT121、122とキャバシタC121からなる定電流源回路に、さらにnチャネルTFT126、127、およびキャバシタC122による定電流源回路を、ノードND121と接地電位GND間にカスコード接続(2段直列接続)したことにある。

【0052】

ここでは、電流サンプルホールド回路1031-1Aを例に説明する。他の電流サンプルホールド回路1031-2A～1031-nAは電流サンプルホールド回路1031-1Aと同様の構成であることからここでの説明は省略する。

【0053】

電流サンプルホールド回路1031-1Aにおいては、第2の電界効果トランジスタとしてのTFT121-1のソースが接地電位GNDの代わりにノードND123-1に接続され、第1の電界効果トランジスタとしてのTFT126-1のドレインがノードND123-1に接続され、TFT126-1のソースが接地電位GNDに接続されている。TFT126-1のゲートがノードND124-1に接続されている。

そして、ノードND123-1とノードND124-1とに第3のスイッチとしてのTFT127-1のソース・ドレインがそれぞれ接続され、TFT127-1のゲートがサンプルホールド線SHL124-1に接続されている。

第2のキャバシタC122-1の第1電極がノードND124-1に接続され、第2電極が接地電位GNDに接続されている。

本第2の実施形態においては、TFT124(-1～-n)が本発明の第4のスイッチを構成する。

【0054】

図5の電流サンプルホールド回路1031-1Aにおいては、サンプルホールド線SHL121-1、SHL122-1、SHL127-1を高レベルとしてTFT122-1、123-1、127-1を導通状態とする。

TFT123-1が導通状態となつたことに伴い、信号電流Iinが電流サンプルホールド回路1031-1A内に流れること。

このとき、TFT121-1は、TFT122-1を介してゲートードレインが接続されており、飽和領域にて動作する。そのゲート電圧は前述した式1に基づいて決定され、キャバシタC121-1に保持される。

同様に、TFT121-1を介してノードND123-1に電流が供給され、このとき、TFT126-1は、TFT127-1を介して飽和領域にて動作する。そのゲート電圧は前述した式1に基づいて決定され、キャバシタC122-1に保持される。

このように、所定のゲート電圧がキャバシタC121-1、およびC122-1に書き込まれた後に、サンプルホールド線SHL127-1を低レベルとしてTFT127-1を非導通状態とし、次に、サンプルホールド線SHL122-1を低レベルとしてTFT122-1を非導通状態とした後に、サンプルホールド線SHL123-1を低レベルとしてTFT123-1を非導通状態とする。

そして、TFT123-1を非導通状態とした後、サンプルホールド線SHL123-1を高レベルとしてTFT128を導通状態とする。

この回路には電流Iinが流れがるが、TFT125-1のゲート電圧(ドレイン電圧)は電流Iinに相当する電圧になる。この場合、TFT12-1とTFT126-1とは飽和領域で駆動できるようにTFT125-1のサイズ設計を行う。

10

20

30

40

40

50

## 【0055】

ここで TFT121-1 の動作点について考察する。

TFT124-1 が導通状態となると、TFT121-1 のドレイン電圧 (B) は TFT125-1 のドレイン電圧に等しくなってしまい、図6に示すように、TFT121-1 のソース・ドレイン間電圧  $V_{ds}$  は増加し ( $V_{in} \rightarrow V_{in'}$ ) 、流れる電流値はアーリ効果分である  $\Delta I_{ds}$  だけ増加する。

しかしながら、TFT126-1 を含む定電流源は電流  $I_{in}$  を流し続けるので、TFT121-1 のソース電圧は電流  $I_{in}$  に相当する電流値を得るために増加する。しかし、TFT121-1 のソース電圧の変化による電流値の変化は式1に従い二乗で効くので、このソース電圧は殆ど変化しない。

図6では、この変化した後の TFT121-1 のドレイン電圧 ( $V_d$ ) - ドレイン電流 ( $I_d$ ) 曲線を破線で示している。

## 【0056】

ここで、TFT121-1 のソース電位は TFT126-1 のドレイン電位 (A) と同電位である。よって、カスコード接続を行っている場合は TFT126-1 のドレイン電圧は、電流  $I_{in}$  を書き込んだときの値、つまり TFT126-1 のゲート電圧と殆ど等しい値を有する。

これにより、TFT127-1 のソース・ドレイン電圧はほぼ 0V となり、リーク電流による TFT126-1 のゲート電圧の降下を大幅に抑えることができる。

## 【0057】

以上より、有機EL等でのシェーディングや、電流の点順次サンプルホールド回路において、本実施形態のように、トランジスタの動作点サイズ設計を行うことなく、ばらつきのない電流出力が得られる。

なお、本方式では、リーク除去の回路トランジスタ125は p チャネルとしてあるが、n チャネルのトランジスタをダイオード接続させたものでもよい。

## 【0058】

上述した実施形態においては、画素回路102を構成する TFT を全て p チャネルとしたが、駆動トランジスタとしての TFT111 の他のスイッチとして機能する TFT112, 113, 114 は、図7に示すように、n チャネル TFT であっても、CMOS であってもよい。

また、上述した実施形態においては、水平セレクタ103の電流サンプルホールド回路1031-1～1031-n のスイッチとして機能する TFT122 (-1～-n) ～124 (-1～-n) は、図7に示すように p チャネル TFT であってもよい。

## 【0059】

さらに、上述した実施形態では、画素回路102を構成する TFT を全て p チャネルとしたが、駆動トランジスタとしての TFT111, スイッチとして機能する TFT112, 113, 114 の全ての TFT を、図8に示すように、n チャネル TFT で構成することも可能である。

当然、RL発光素子115との接続はアノード接続であってもカソード接続であってもよい。

この場合、電流サンプルホールド回路1031-1～1031-n のドライブトランジスタの極性は、図8に示すように p チャネルである必要がある。

## 【0060】

## 【発明の効果】

以上説明したように、本発明によれば、他の回路のサンプリング期間も、定電流源として機能する出力トランジスタのドレイン電位を一定に保つことができ、出力トランジスタのゲート電位のリークによる変化を抑えることができる。

ホールド期間中のリークを除去することで、ホールド時間差による出力電流値のバラツキを抑制することができ、均一な定電流源を形成できる。

さらに、サンプルホールド回路にカスコード接続を用いることで、このバラツキ量を殆ど

10

20

30

40

50

完全に抑制することができる。

上記のパラツキ抑制の効果は、リーク電流の大きなTFTにおいて顕著である。そのため、TFTを用いた電流駆動の有機ELディスプレイでの高ユニフォーミティを持つ画質を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る有機EL表示装置の構成を示すブロック図である。

【図2】図1の有機EL表示装置において本実施形態に係る画素回路の具体的な構成を示す回路図である。

【図3】本第1の実施形態に係る動作を説明するためのタイミングチャートである。

【図4】本第1の実施形態の利点を説明するための図である。

【図5】本第2の実施形態に係る電流駆動方式を採用した有機EL表示装置の構成例を示すブロック図である。

【図6】本第2の実施形態の動作を説明するための図である。

【図7】画素回路および電流サンプルホールド回路の他の構成例を示す回路図である。

【図8】画素回路および電流サンプルホールド回路のさらに他の構成例を示す回路図である。

【図9】一般的な有機EL表示装置の構成を示すブロック図である。

【図10】図9の画素回路の一構成例を示す回路図である。

【図11】図9の水平セレクタの要部の具体的な構成を示す回路図である。

【図12】図11の回路の動作を説明するためのタイミングチャートである。

【図13】図11の回路の動作を説明するための図である。

【図14】図11の回路の課題を説明するための図である。

【図15】図11の回路の課題を説明するための図である。

【符号の説明】

100…表示装置、101…画素回路（PXL C）、102…画素アレイ部、103、103A…水平セレクタ（HSEL）、1031～1～1031～n…電流サンプルホールド回路、104…ライトスキャナ（WSCN）、105…ドライブスキャナ（DSCN）、111～114…TFT、115…発光素子、121（-1～n）～127（-1～n）…TFT、DTL101～DTL10n…データ線、WSL101～WS10m…走査線、DSL101～DSL10m…駆動線、ALZ101～ALZ10m…オートゼロ線、ISL101…信号電流の供給線、SHL、SHL121（-1～n）～124（-1～n）…サンプルホールド線。

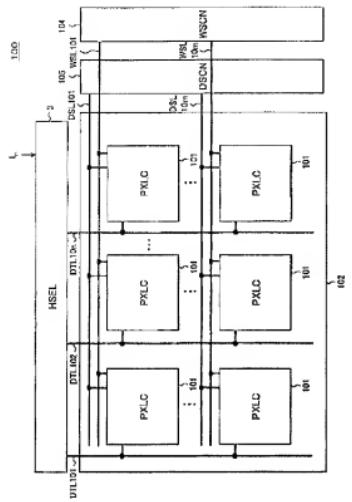
10

20

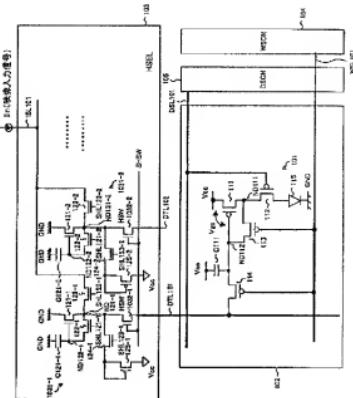
30

30

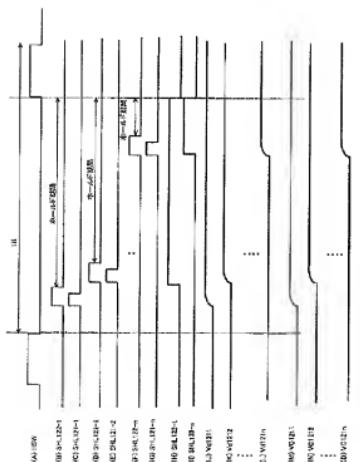
[ 四 ]



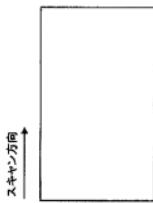
【图2】



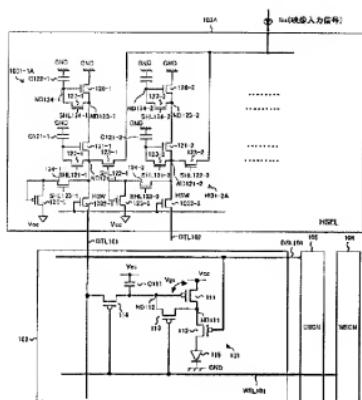
【図3】



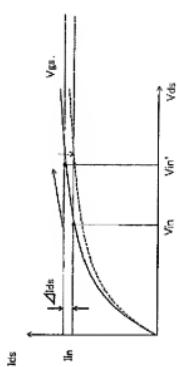
【图 4】



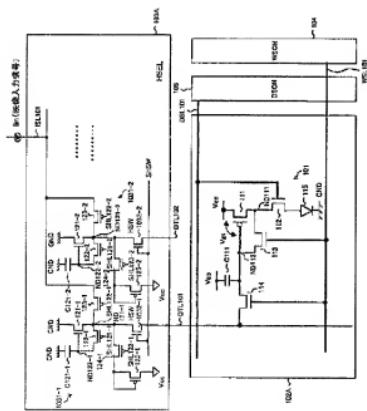
【図 5】



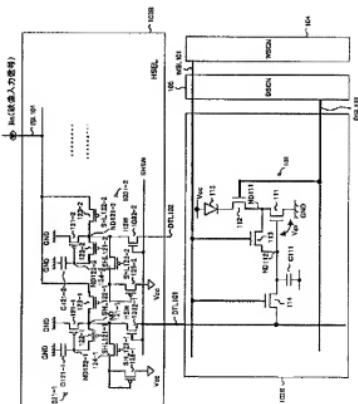
【図 6】



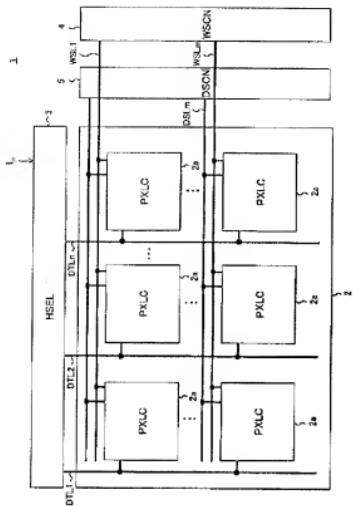
【図 7】



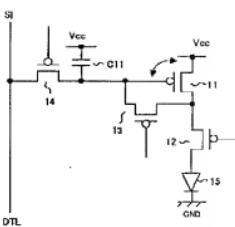
【図 8】



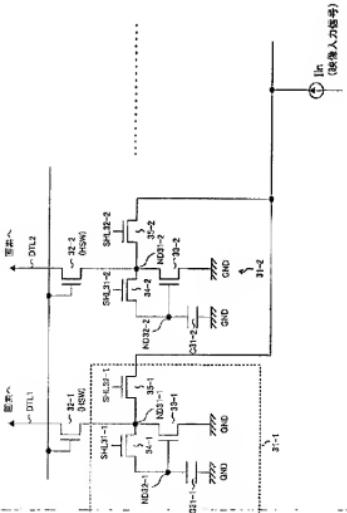
[図9]



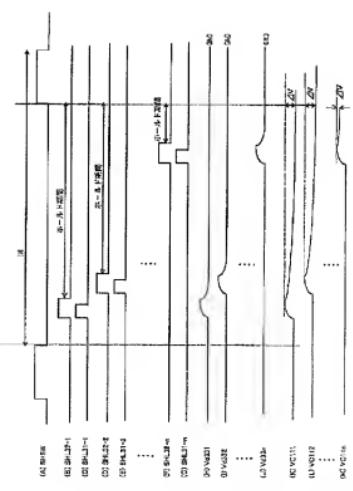
### 【図10】



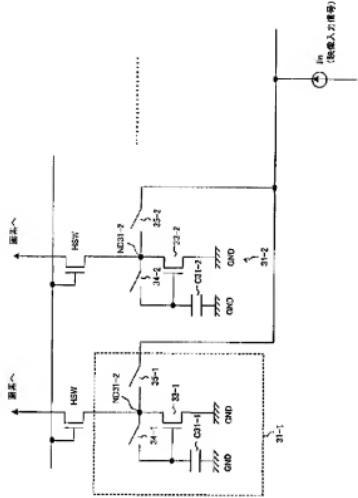
【図 1 1】



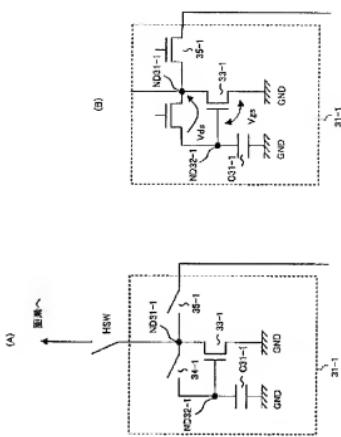
【図 1-2】



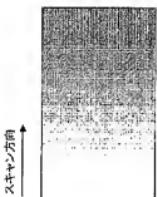
【图 13】



【图 1-4】



【图 15】



## フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

データマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 B
H 0 5 B	33/14	A

F ターム(参考) 5C080 AA06 B305 DD05 EE29 FF11 JJ01 JJ02 JJ03 JJ04 JJ05